



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
OGAWA et al.)
Application Number: 10/670,532)
Filed: September 26, 2003)
For: SEMICONDUCTOR INTEGRATED CIRCUIT)
DEVICE)
ATTORNEY DOCKET NO. HITA.0435)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

LETTER

Sir:

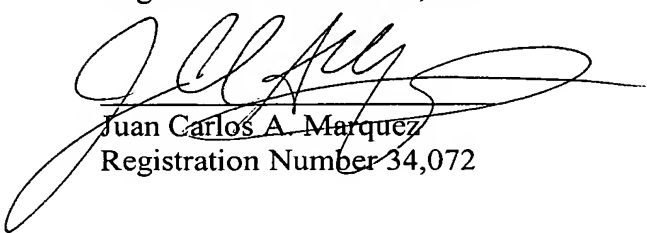
The below-identified communications are submitted in the above-captioned application or proceeding:

- | | |
|--|---|
| <input checked="" type="checkbox"/> (X) Priority Documents ONE (1) | |
| <input checked="" type="checkbox"/> (X) Request for Priority | <input type="checkbox"/> () Assignment Document |
| <input type="checkbox"/> () Response to Missing Parts | <input type="checkbox"/> () Petition under 37 C.F.R. 1.47(a) |
| w/ signed Declaration | <input type="checkbox"/> () Check for _____ |

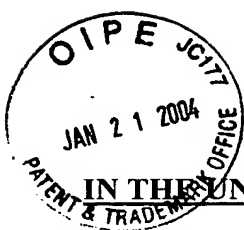
- ☒ [X] The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to **Deposit Account Number 08-1480**. A duplicate copy of this sheet is attached.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 21, 2004



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
OGAWA et al.)
)
Application Number: 10/670,532)
)
Filed: September 26, 2003)
)
For: SEMICONDUCTOR INTEGRATED CIRCUIT)
DEVICE)
)
ATTORNEY DOCKET NO. HITA.0435)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

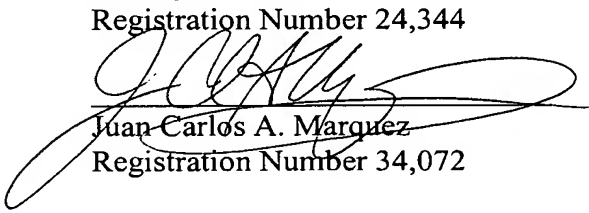
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of November 5, 2002, the filing date of the corresponding Japanese patent application 2002-321486.

A certified copy of Japanese patent application 2002-321486 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 21, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 2 1 4 8 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 2 1 4 8 6]

出 願 人
Applicant(s): 株式会社ルネサステクノロジ
 株式会社日立超エル・エス・アイ・システムズ

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02011591

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 小川 裕

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 小倉 和智

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 佐藤 尚史

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 舟根 聖忠

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 書き込みと読み出しが可能にされたメモリセルと、
上記メモリセルを選択するアドレス選択回路と、
上記アドレス選択回路により選択されたメモリセルへの書き込み信号を伝える
書き込み回路と、

上記アドレス選択回路により選択されたメモリセルからの読み出し信号を伝える
読み出し回路と、

クロック信号を受けて、上記アドレス選択回路、書き込み回路及び読み出し回
路に伝える動作タイミング信号を生成するタイミング生成回路とを備え、

動作タイミングに余裕のある回路は、他の回路の MOSFET に比べて高しき
い値電圧の MOSFET により構成してなることを特徴とする半導体集積回路装
置。

【請求項 2】 請求項 1 において、

上記メモリセルは、上記高しきい値電圧の MOSFET により構成され、

上記動作タイミングに余裕のある回路は、上記読み出し回路に含まれる出力回
路に動作タイミング信号を与える回路からなることを特徴とする半導体集積回路
装置。

【請求項 3】 請求項 2 において、

上記動作タイミングに余裕のある回路は、上記書き込み回路に含まれて書き込
み信号を形成するライトアンプ、上記アドレス選択回路に含まれる書き込み専用
のカラムスイッチと、カラムスイッチに選択信号を伝える回路も含むものである
ことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 において、

上記メモリセルは、相補ビット線とワード線との交点に設けられたスタティッ
ク型メモリセルであり、

上記相補ビット線及び読み出し系の相補読み出し信号線には、上記動作タイミ
ングに余裕のある回路として、上記高しきい値電圧の MOSFET で構成された

プリチャージ及びイコライズ回路も含むものであることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 において、

上記動作タイミングに余裕のある回路は、上記書き込み回路に含まれて書き込み信号を形成するライトアンプ、上記アドレス選択回路に含まれる書き込み専用のカラムスイッチと、カラムスイッチに選択信号を伝える回路も含むものであることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 において、

上記メモリセルは、相補ビット線とワード線との交点に設けられたスタティック型メモリセルであり、

上記相補ビット線及び読み出し系の相補読み出し信号線には、上記動作タイミングに余裕のある回路として、上記高しきい値電圧の MOS F E T で構成されたプリチャージ及びイコライズ回路も含むものであることを特徴とする半導体集積回路装置。

【請求項 7】 書き込みと読み出しが可能にされたメモリセルと、

上記メモリセルを選択するアドレス選択回路と、

上記アドレス選択回路により選択されたメモリセルへの書き込み信号を伝える書き込み回路と、

上記アドレス選択回路により選択されたメモリセルからの読み出し信号を伝える読み出し回路と、

クロック信号を受けて、上記アドレス選択回路、書き込み回路及び読み出し回路に伝える動作タイミング信号を生成するタイミング生成回路とを備え、

大きな負荷容量に対して動作タイミング信号を伝える駆動回路は、他の回路の MOS F E T に比べて高しきい値電圧の MOS F E T により構成し、チャネル幅を大きくして上記負荷容量に対応した駆動電流を流すようにしてなることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 7 において、

大きな負荷容量に対して動作タイミング信号を伝える駆動回路は、ワードドライバ及びファンアウト数の多いタイミング信号を出力するドライバであることを

特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 において、

動作タイミングに余裕のある回路は、上記高しきい値電圧の MOSFET により構成してなることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 9 において、

上記メモリセルは、上記高しきい値電圧の MOSFET により構成され、

上記動作タイミングに余裕のある回路は、上記読み出し回路に含まれる出力回路に動作タイミング信号を与える回路からなることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 10 において、

上記動作タイミングに余裕のある回路は、上記書き込み回路に含まれて書き込み信号を形成するライトアンプ、上記アドレス選択回路に含まれる書き込み専用のカラムスイッチと、カラムスイッチに選択信号を伝える回路も含むものであることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 11 において、

上記メモリセルは、相補ビット線とワード線との交点に設けられたスタティック型メモリセルであり、

上記相補ビット線及び読み出し系の相補読み出し信号線には、上記動作タイミングに余裕のある回路として、上記高しきい値電圧の MOSFET で構成されたプリチャージ及びイコライズ回路も含むものであることを特徴とする半導体集積回路装置。

【請求項 13】 書き込みと読み出しが可能にされたメモリセルと、

上記メモリセルを選択するアドレス選択回路と、

上記アドレス選択回路により選択されたメモリセルへの書き込み信号を伝える書き込み回路と、

上記アドレス選択回路により選択されたメモリセルからの読み出し信号を伝える読み出し回路と、

クロック信号を受けて、上記アドレス選択回路、書き込み回路及び読み出し回路に伝える動作タイミング信号を生成するタイミング生成回路とを備え、

上記読み出し回路は、データ出力ラッチ回路と、データ出力バッファとを有し
上記タイミング生成回路は、上記データ出力ラッチ回路にラッチタイミング信号を与える第1回路と、上記データ出力バッファにデータ出力タイミング信号を与える第2回路とを有し、

上記第1及び第2回路の出力トランジスタは、そのサイズが大きくされるとともに、そのしきい値電圧は、他の回路を構成するトランジスタのそれより高くされることを特徴とする半導体集積回路装置。

【請求項14】 請求項13において、

上記データ出力ラッチ回路と上記データ出力バッファとは複数組もうけられることを特徴とする半導体集積回路装置。

【請求項15】 請求項14において、

上記メモリセルは、高しきい値電圧のMOSFETにより構成されることを特徴とする半導体集積回路装置。

【請求項16】 請求項15において、

上記アドレス選択回路は、ワード線を駆動するワード線ドライバ回路を有し、
上記ワード線ドライバ回路の最終段回路以外の回路は、低しきい値電圧のトランジスタによって構成されることを特徴とする半導体集積回路装置。

【請求項17】 請求項15において、

上記メモリセルは、相補ビット線とワード線との交点に設けられたスタティック型メモリセルであり、

上記相補ビット線及び読み出し系の相補読み出し信号線には、上記動作タイミングに余裕のある回路として、上記高しきい値電圧のMOSFETで構成されたプリチャージ及びイコライズ回路も含むものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関し、例えばスタティック型ランダム・アクセス・メモリ（SRAM）のようなメモリ回路を搭載した半導体集積回路装置

に利用して有効な技術に関するものである。

【0002】

【従来の技術】

セル及び書き込み用列スイッチ等を高しきい値電圧のMOSFETで構成し、センスアンプを低しきい値電圧のMOSFETで構成したスタティック型ランダム・アクセス・メモリ（SRAM）の例として、特開2002-100190公報がある。メモリセルを高しきい値電圧として、他の周辺回路で低しきい値電圧と高しきい値電圧のMOSFETを用いているSRAMの例として、特開平9-51042号公報がある。更に、プリアップMOSFETを他のNチャネルMOSFETよりも高しきい値電圧としたMOSFETを用いている例として、特開平4-344395号公報がある。

【0003】

【特許文献1】

特開2002-100190公報

【特許文献2】

特開平9-51042号公報

【特許文献3】

特開平4-344395号公報

【0004】

【発明が解決しようとする課題】

1チップマイクロコンピュータ等のような大規模半導体集積回路装置（LSI）に搭載されるSRAM（以下、オンチップSRAMという）の動作は、（1）メモリセルへのアクセス～ビット線へのデータ遷移～データの増幅～出力データのラッチ～出力の経路と、（2）メモリセルへのアクセス及び書き込みデータの入力～ビット線へのデータ遷移（ライトSWを開く）～メモリセルへの書き込みの経路に大別される。

【0005】

上記のオンチップSRAMの動作速度は、上記（1）の経路で律則され、標準しきい電圧（ V_{th} ）のMOSFETデバイス（以下、高 V_{th} デバイスと言う）を

用いて設計した場合、半導体集積回路装は 133MHz での動作が限界であると考えられる。例えば、半導体集積回路装を 200MHz のような更なる高速動作をさせる為には MOSFET デバイスのしきい電圧 V_{th} を下げる（以下、低 V_{th} デバイスと言う）ことが有益である。しかしながら、相反して低 V_{th} デバイスは、リーク電流が大きく消費電流を増大させてしまい、低消費電力であるという SRAM の特徴を失わせてしまう。このように、SRAM では高速化と低消費電力とは互いにトレードオフの関係にある。

【0006】

この発明の目的は、低消費電力と高速化を実現したスタティック型ランダム・アクセス・メモリを備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。書き込みと読み出しが可能にされたメモリセルをアドレス選択回路で選択し、書き込み回路により選択されたメモリセルに書き込み信号を伝え、読み出し回路により選択されたメモリセルからの読み出し信号を伝え、クロック信号を受けるタイミング生成回路により、上記アドレス選択回路、書き込み回路及び読み出し回路に伝えられる動作タイミング信号を生成してなるメモリ回路のうち、動作タイミングに余裕のある回路について、他の回路の MOSFET に比べて高しきい値電圧の MOSFET により構成する。

【0008】

書き込みと読み出しが可能にされたメモリセルをアドレス選択回路で選択し、書き込み回路により選択されたメモリセルに書き込み信号を伝え、読み出し回路により選択されたメモリセルからの読み出し信号を伝え、クロック信号を受けるタイミング生成回路により、上記アドレス選択回路、書き込み回路及び読み出し回路に伝えられる動作タイミング信号を生成してなるメモリ回路のうち、大きな負荷容量に対して動作タイミング信号を伝える駆動回路は、他の回路の MOSF

ETに比べて高しき値電圧のMOSFETにより構成し、チャネル幅を大きくして上記負荷容量に対応した駆動電流を流すようにする。

【0009】

【発明の実施の形態】

図1には、この発明に係る半導体集積回路装置に搭載されるスタティック型RAMの一実施例の回路図が示されている。スタティック型RAMは、メモリセルアレイと、その周辺回路に設けられたアドレス選択回路、読み出し回路及び書き込み回路と、その動作を制御するタイミング生成回路から構成される。

【0010】

メモリセルアレイとして、1本のワード線WLと、2対の相補ビット線BL、 \overline{BL} と、その交点に設けられた2つのメモリセルが代表として例示的に示されている。上記メモリセルは、PチャネルMOSFETQ1、Q3とNチャネルMOSFETQ2、Q4からなる2つのCMOSインバータ回路の入力と出力とが交差接続されたラッチ回路と、このラッチ回路の一对の入出力ノードとビット線BLと \overline{BL} との間に、NチャネルMOSFETQ5とQ6からなる選択スイッチとから構成される。これらのMOSFETQ5とQ6のゲートは、上記ワード線WLに接続される。

【0011】

特に制限されないが、上記メモリセルアレイは、1つのワード線WLに128個のメモリセルが配置される。それ故、相補ビット線BL、 \overline{BL} は、128対から構成される。一对のビット線BLと \overline{BL} には、256個のメモリセルが配置される。それ故、ワード線WLは、0～255のような256本から構成される。上記各ビット線BL、 \overline{BL} には、プリチャージ&イコライズ回路PC/EQが設けられる。プリチャージ回路&イコライズ回路PC/EQは、相補ビット線BLと \overline{BL} に電源電圧のようなプリチャージ電圧を与えるPチャネルMOSFETと、上記相補ビット線BLと \overline{BL} との間を短絡するPチャネルMOSFETから構成される。上記相補ビット線BLと \overline{BL} と電源端子との間には、ゲートとドレインとが交差接続されたPチャネルMOSFETがプルアップMOSFETとして設けられる。

【0012】

上記128対のビット線は、PチャネルMOSFETからなる読み出し用コラムスイッチにより32対の相補の読み出しデータ線RD、 $\overline{\text{RD}}$ に接続される。1つの読み出しデータ線RD、 $\overline{\text{RD}}$ には、4対のビット線BL、 $\overline{\text{BL}}$ のうちいずれか1つに接続される。上記読み出しデータ線RD、 $\overline{\text{RD}}$ には、センスアンプSAが設けられる。センスアンプSAは、PチャネルMOSFETとNチャネルMOSFETからなる2つのCMOSインバータ回路の入力と出力とが交差接続されてなるCMOSラッチ回路と、このCMOSラッチ回路のNチャネルMOSFETのソースと回路の接地電位に設けられたNチャネルMOSFETから構成される。上記読み出しデータ線RD、 $\overline{\text{RD}}$ が上記のように32対設けられることに対応してセンスアンプSAも全体で32個設けられる。

【0013】

上記センスアンプSAを活性化させるNチャネルMOSFETのゲート及び上記センスアンプSAの増幅信号を伝えるゲート回路には、タイミング生成回路で形成されたタイミング信号と、センスアンプ選択信号sacを受けるゲート回路で形成されたタイミング制御信号 ϕ_{sac} が制御パスCP7を構成するインバータ回路を通して伝えられる。このタイミング制御信号 ϕ_{sac} は、前記読み出し用コラムスイッチの選択信号としても用いられる。センスアンプSAは、上記選択信号により活性化されて読み出しデータ線RD、 $\overline{\text{RD}}$ の信号を増幅する。

【0014】

上記センスアンプSAの増幅信号は、MOSFET Q7からQ11により構成されるラッチ回路LTに伝えられ、出力回路OBにより出力信号doutが形成される。ラッチ回路LTは、出力ラッチ制御信号olcに基づいて形成された信号 ϕ_{olc} により制御されるスルーラッチ回路から構成される。出力回路OBは、出力ドライバ制御信号odcに基づいて形成された信号 ϕ_{odc} により制御されるゲート回路と出力インバータ回路から構成される。

【0015】

この実施例のSRAMは、特に制限されないが、上記32個のセンスアンプSAを全て活性化して32ビットからなる読み出し信号を出力させる読み出し動作

、上記32個のセンスアンプSAうちの16個を活性化して16ビットからなる読み出し信号を出力させる読み出し動作、あるいは上記32個のセンスアンプSAのうちの8個を活性化して8ビットからなる読み出し信号を出力させる読み出し動作が選択的に可能にされる。上記センスアンプ選択信号sacは、上記3種類の読み出し動作に対応してセンスアンプSA等の制御を行うとともに、リードスイッチ制御信号rswcやカラム選択信号selによりPチャネルMOSFETからなる読み出し用カラムスイッチの非選択信号として用いられる。

【0016】

上記128対のビット線は、NチャネルMOSFETからなる書き込み用カラムスイッチ(WCP4)により32対の相補の書き込みデータ線WD、 $\overline{\text{WD}}$ に接続される。1つの書き込みデータ線WD、 $\overline{\text{WD}}$ は、上記カラムスイッチにより4対のビット線BL、 $\overline{\text{BL}}$ のうちいずれか1つに接続される。上記書き込みデータ線WD、 $\overline{\text{WD}}$ には、書き込み信号dinを書き込みデータ線WDに伝えるインバータ回路列(WDP1)と、反転の書き込み信号を形成するインバータ回路(WDP3)及び反転の書き込み信号を書き込みデータ線 $\overline{\text{WD}}$ に伝えるインバータ回路列(WDP2)からなる書き込み回路(ライトアンプ)が設けられる。この書き込み回路も、上記32対の相補の書き込みデータ線WD、 $\overline{\text{WD}}$ に対応して32個から構成される。

【0017】

この実施例のSRAMは、特に制限されないが、上記32個のライトアンプで形成された32ビットからなる書き込み信号を有効とする書き込み動作、上記32個のライトアンプのうち16個で形成された16ビットからなる読み出し信号を有効とする書き込み動作、あるいは上記32個のライトアンプのうちの8個で形成された8ビットからなる書き込み信号を有効とする書き込み動作のいずれかが選択的に可能にされる。このため、ライトスイッチ制御信号wswcが用いられる。この実施例では、上記カラム選択信号がライトスイッチ制御信号wswcと組み合わせられてNチャネルMOSFETからなる書き込み用カラムスイッチ(WCP3)に伝えられる。

【0018】

上記センスアンプSAの増幅信号は、ゲート回路を通してMOSFETQ7～Q12と、インバータ回路からなるラッチ回路に伝えられ、ゲート回路及び出力インバータ回路を通して出力信号doutが形成される。上記センスアンプSAを活性化させるNチャネルMOSFETのゲート及び上記センスアンプSAの増幅信号を伝えるゲート回路には、タイミング生成回路で形成されたタイミング信号と、センスアンプ選択信号sacを受けるゲート回路で形成されたタイミング制御信号 ϕ sacが制御パスCP7を構成するインバータ回路を通して伝えられる。このタイミング制御信号 ϕ sacは、前記読み出し用カラムスイッチの非選択信号としても用いられる。

【0019】

タイミング生成回路は、クロックCLKとリード／ライト制御信号R／Wを代表とするような複数の制御信号を受けて、SRAMの読み出し動作、書き込み動作あるいはスタンバイ動作等の動作モードに対応して、SRAMの動作に必要な各種のタイミング信号を生成する。

【0020】

上記256本からなるワード線WLのうちの1本がデコーダ回路により形成された選択信号を受けるワードドライバCP1によって選択される。デコーダ回路は、タイミング生成回路で形成されたタイミング信号とアドレス信号addを受けて、上記ワード線の選択信号やカラムの選択信号を形成する。デコーダ回路で形成されたカラム選択信号は、図示しない論理回路により、前記32ビット動作、16ビット動作及び8ビット動作に対応して前記制御信号sac, rswc, wswc等を形成するために用いられる。

【0021】

本願においては、高速動作を要求されるメモリの開発を行うに際し、高速デバイスとして標準 V_{th} デバイス（以下高 V_{th} MOSと呼称する。）に対し、 V_{th} を下げたデバイス（以下低 V_{th} MOSと呼称する。）を複合して用いることを考えた。高速化に向けて低 V_{th} MOSを用いると、高 V_{th} MOSと比較してリーク電流が大きく、スタンバイ時やメモリ非アクセス時の電力増加を招いてしまう。その為リーク電流に伴う電力の増加を防止しつつ、高速化を実現するために遅延バ

ス解析を行い、高速動作が要求されないパスや高速動作が要求されるパスでも適用箇所を限定して高 V_{th} MOSを用いることを考えた。

【0022】

(1) 出力データパス：アドレスデコード～メモリセルアクセス～メモリデータ増幅～出力ラッチ～出力ドライバはメモリの動作速度を決定するパスの為、高速動作が要求される。従ってこのパスの回路は全て低 V_{th} デバイスを適用する。つまり、前記図1において、読み出し用カラムスイッチを構成するPチャネルMOSFET、センスアンプSA、ラッチ回路LT及び出力回路OBは、低 V_{th} MOSFETにより構成される。

【0023】

(2) 出力制御系パス：出力制御系パスのうち出力ラッチ制御信号及び出力ドライバ制御信号は、メモリアクセス（アドレスプリデコード）～メモリデータ増幅時間（センスマージン）により遅延したデータを処理する為、データが各回路に到達するまでに時間的余裕が生まれる。従って出力ラッチ制御信号及び出力ドライバ制御信号パスには高 V_{th} MOSを適用する。つまり、図1において、制御信号 ϕ_{olc} 、 ϕ_{odc} 及びタイミング生成回路からのタイミング信号を受けて上記信号 ϕ_{olc} 、 ϕ_{odc} を形成する制御パスCP8は、高 V_{th} MOSにより構成される。

【0024】

(3) ライト系制御パス：メモリ書き込み時の動作を考えたとき、1動作サイクルの中でメモリセルへの書き込みが終了すればよく、メモリセルへの書き込みがデータ及び制御信号が終点となる。従ってタイミング設計でライト期間を動作サイクルの後半に設定することで書き込みデータパス及びライト制御信号パスに高 V_{th} MOSを適用する。つまり、図1において、ライトデータ入力パスWDP1～WDP3、書き込み用選択信号 ϕ_{wswc} を形成するライト制御パスCP5、WCP1、WCP2及び書き込み用カラムスイッチWCP3、WCP4は、高 V_{th} MOSにより構成される。

【0025】

(4) 直接周辺回路部へ入力するドライバ最終段：直接周辺回路部へ入力するドライバ最終段は駆動負荷が必然的大きくなり、その為MOSのゲート幅は大きく

になってしまう。そこでゲート幅が大きい最終段のみ高 V_{th} MOSを適用し、低 V_{th} MOS並みの駆動能力を有するゲート幅で設計し高速動作をカバーする。つまり、図1において、ワード線の選択信号を形成するワードドライバCP1、プリチャージ&イコライズ回路の制御信号 ϕ_{pcl} を形成する最終段パスCP2、読み出し用カラムスイッチの選択信号 ϕ_{rswc} を形成する最終段パスCP4、CP6は、高 V_{th} MOSにより構成される。

【0026】

(5) プリチャージ及びイコライズ回路：プリチャージ及びイコライズ回路は動作タイミング内で特性を満足できれば高速である必要がない為、高 V_{th} MOS適用を前提にMOSのゲート幅を設計する。つまり、図1において、ビット線BL、 \neg BLと読み出しデータ線RD、 \neg RDに設けられたプリチャージ&イコライズ回路PC/EQと、上記ビット線BL、 \neg BLに設けられたプリチャージ&イコライズ回路PC/EQに含まれるプリアップMOSFETは、高 V_{th} MOSにより構成される。

【0027】

高 V_{th} MOS適用を前提にMOSのゲート幅を設計するという意味は、低 V_{th} MOSと比較して負荷に対する駆動電流が小さい高 V_{th} を使用する場合、負荷に対する駆動電流減少分をそのチャネル幅を大きく形成して補うようにするものである。チャネル幅を大きくすると、そのチャネル幅に比例してリーク電流も大きくなるが、同じ駆動電流を流すために低 V_{th} MOSを用いた場合に流れるリーク電流と比較すると小さくすることができる。このような原理によって、高速化と低消費電力化を実現するものである。

【0028】

以上のように、高 V_{th} MOSと低 V_{th} MOSとを用いた半導体集積回路装置に搭載されるSRAMにおいて、(A) タイミングに余裕の有るパスである(1) 中の出力データのラッチ制御信号系及び出力部の制御信号系と(2) 中のライトデータ入力系及びライトSW制御信号系の素子を選択的に高 V_{th} デバイスを適用し消費電流を抑える。(B) 駆動負荷が大きくなる直接周辺回路部制御信号パスの最終段はゲート幅が大きくなる為、高 V_{th} デバイスを適用し消費電流を抑

える。(C) プリチャージ回路及びイコライズ回路は特性を満足出来れば高速動作させなくても問題ない為高 V_{th} デバイスを適用し消費電流を抑える。以上(A) ないし(C) からなる3点を高 V_{th} デバイス、他の素子を低 V_{th} デバイスを適用することで高速動作と低消費電力の両立を図ることができる。

【0029】

図2には、この発明に係るSRAMの読み出し動作の一例を説明するためのタイミング図が示されている。この実施例のSRAMは、クロックCLKの1周期内に読み出し信号DOUTが出力される。クロックCLKの立ち上がり同期して図示しないアドレスが確定し、時間 t_1 、 t_3 を経過してプリチャージ信号 ϕ_{pc1} 、 ϕ_{pc2} がハイレベルに変化し、プリチャージ(イコライズ)動作が終了する。この後、上記アドレスを解読してワード線WLの選択動作が行われる。

【0030】

ワード線の選択動作によって、ビット線BL、 \overline{BL} にはメモリセルの記憶情報に従った電位変化が生じる。それが読み出し用カラムスイッチを通して読み出しデータ線RD、 \overline{RD} に伝えられ、センスアンプ活性化信号SAによってセンスアンプが動作を介して増幅信号を形成する。この増幅信号は、ラッチ制御信号 ϕ_{olc} によりラッチ回路に取り込まれ、出力ドライバ制御信号 ϕ_{odc} により出力回路から出力信号DOUTが出力される。このようにラッチ制御信号 ϕ_{olc} OLCや出力ドライバ制御信号 ϕ_{odc} は、クロックCLKからメモリアクセス～メモリデータ増幅時間を経て遅延してくるデータに合わせたタイミングで発生させればよく時間的余裕を有する。プリチャージ時間 t_2 、 t_4 の時間を持って上記クロックCLKの1周期が終わるように設定される。

【0031】

したがって、プリチャージ時間は、前サイクルでのプリチャージ時間 t_2 、 t_4 に現サイクルのプリチャージ時間 t_1 、 t_2 を加えた時間 $t_1 + t_2$ 、及び $t_3 + t_4$ により設定される。クロックCLKの1サイクルは、上記プリチャージ時間及びメモリセルからデータ出力までの要する時間からなり、高速化のためには、ワード線WLの選択やセンスアンプSAの増幅動作の高速化が必須である反面、上記のように出力系制御パスは高 V_{th} デバイスを用いることができる。

【0032】

図3には、この発明に係るSRAMの書き込み動作の一例を説明するためのタイミング図が示されている。この実施例のSRAMは、クロックCLKの1周期内に書き込み信号DINがメモリセルに書き込まれる。前記同様に、クロックCLKの立ち上がり同期して図示しないアドレスが確定し、時間t1、t3を経過してプリチャージ信号 ϕ_{pc1} 、 ϕ_{pc2} がハイレベルに変化し、プリチャージ（イコライズ）動作が終了する。その後、上記アドレスを解読してワード線WLの選択動作が行われる。

【0033】

前記のようにプリチャージ時間t2、t4を確保するようにワード線の選択期間が確保されているから、ワード線が選択されている間にメモリセルへの書き込みが行われればよい。このため、ライトスイッチ制御信号 ϕ_{wswc} やメモリセルへの書き込み信号DINの入力タイミングは、プリチャージ時間t4が確保できるタイミングで終了できればよく時間的余裕を有する。したがって、前記のようにライト系制御パスやライトデータパスは、前記のように高 V_{th} デバイスを用いることができる。

【0034】

図4には、図1のSRAMのデコード回路の一実施例の回路図が示されている。アドレス信号a10とa11の2ビットにより、4通りのプリデコード信号が形成される。アドレス信号a7～a9の3ビットにより、8通りのプリデコード信号が形成される。上記a10とa11による4通りのプリデコード信号と、a7～a9による8通りのプリデコード信号が2入力のゲート回路に入力されて32通りのプリデコード信号が形成される。同図には、その半分の16通りのプリデコード信号を形成するナンドゲート回路及びインバータ回路が例示的に示されている。

【0035】

アドレス信号a4～a5の3ビットにより8通りのプリデコード信号が形成される。上記8通りのプリデコード信号をそれぞれ受ける8個のCMOSインバータ回路と、これら8個のCMOSインバータ回路のNチャネルMOSFETのソ

ースに回路の接地電位又は電源電圧を与えるCMOSインバータ回路が設けられ、アドレス信号a 1 1 ~ a 7で指定される1 / 3 2のプリデコード信号が供給される。これにより、 $32 \times 8 = 256$ 本のワード線WLのうちの1つの選択信号が形成される。

【0 0 3 6】

アドレス信号a 0とa 1は、前記4組のビット線BL, /BLを1つの読み出しデータ線RD, /RD、書き込みデータ線WD, /WDに接続する1 / 4のコラム選択信号を形成するために設けられる。アドレス信号a 2とa 3は、動作モードに応じて選択的に有効とされる。例えば、アドレス信号a 2とa 3が有効とされたときには、上記32個のセンスアンプ又はライトアンプのうち、1 / 4である8個のセンスアンプ又はライトアンプを指定するセレクト信号が形成される。

【0 0 3 7】

アドレス信号a 2が無効とされ、アドレス信号a 3が有効とされたときには、上記32個のセンスアンプ又はライトアンプのうち、2 / 4である16個のセンスアンプ又はライトアンプを指定するセレクト信号が形成され、アドレス信号a 2とa 3が無効とされたときには、4 / 4である上記32個のセンスアンプ又はライトアンプの全てを指定するセレクト信号が形成される。このようにして動作モードに応じて1 / 4、2 / 4、4 / 4のセレクト信号が形成されて前記8ビット、16ビット又は32ビット単位でのデータの読み出し又は書き込みが可能にされる。これらのデコーダ回路は、高速化のために低V_{th}MOSが用いられる。

【0 0 3 8】

図5には、この発明が適用されたマイクロプロセッサ（以下、マイコンLSIという）の様なデータ処理装置の一実施例のブロック図が示されている。同図の各回路ブロックは、公知のCMOS（相補型MOS）半導体集積回路の製造技術によって、単結晶シリコンのような1個の基板上において形成される。

【0 0 3 9】

上記マイコンLSIは、特に制限されないが、RISC (Reduced instruction set computer)タイプの中央処理装置CPUにより、高性能な演算処理を実現し

、システム構成に必要な周辺機器を集積し、携帯機器応用に向けられている。中央処理装置CPUは、RISCタイプの命令セットを持っており、基本命令はパイプライン処理を行って1命令1ステート（1システムクロックサイクル）で動作する。この中央処理装置CPUとデータシグナルプロセッサDSPを中心として、例えば携帯電話機に向けて以下のような周辺回路が搭載されている。

【0040】

内部バスは、Iバス、Yバス、Xバス、Lバス及び周辺バスからなり、最少部品点数によりユーザーシステムを構成できるように内蔵周辺モジュールとして、画像処理に向けたメモリXYMEM、メモリコントローラXYCNTが設けられる。このメモリXYMEM及びコントローラXYCNTは、Iバス、X、Yバス及びLバスに接続され、画像処理のためのデータ入出力及び表示動作のためのデータ出力動作が行われる。上記メモリXYMEMとして、前記図1のようなSRAMが用いられる。

【0041】

上記Iバスには、キャッシュメモリCACHE及びキャッシュメモリコントローラCCN、メモリマネージメントコントローラMMU、トランスレーショナルックアサイドバッファTLB、割り込みコントローラINTC、クロック発振器／ウォッチドッグタイマCPG／WDT、ビデオI/OモジュールVIO及び外部バスインターフェイスが設けられる。この外部バスインターフェイスを介して、図示しない外部のメモリLSI等と接続される。

【0042】

Lバスには、上記キャッシュメモリCACHE及びキャッシュメモリコントローラCCN、メモリマネージメントコントローラMMU、トランスレーショナルックアサイドバッファTLBと、上記中央処理装置CPU、データシグナルプロセッサDSP、ユーザーブレイクコントローラUBC及びアドバンストユーザーデバッグAUDが接続される。

【0043】

上記周辺バスには、16ビットのタイマユニットTMU、コンペアマッチタイマCMT、シリアルI/O（FIFO付き）SIOF0、FIFO内蔵シリアル

コミュニケーションインターフェイス SCIF1、I²C コントローラ I²C、多機能インターフェイス MFI、NAND/AND フラッシュインターフェイス FLCTL、ユーザーデバックインターフェイス H-UDI、ASE メモリ ASERAM 及びピンファンクションコントローラ PFC、RCLK 動作ウォッチドッグタイマ RWD T が接続される。上記周辺バスと I バスには、バスステートコントローラ BSC、ダイレクトメモリアクセスコントローラ DMAC が接続される。

【0044】

画像処理に向けたメモリ XYMEM の高速化及び低消費電力化が可能となり、高速動作仕様を満たし、かつ低消費電力な LSI を実現することができる。このように本願発明をシステム LSI のオンチップメモリに適用することにより、高性能の LSI を実現することができる。

【0045】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、半導体集積回路装置に搭載される SRAM のメモリセルアレイを構成するワード線やビット線の本数は、種々の実施形態を採ることができる。ワード線やビット線の本数に対応して、制御バス CP1 等の最終段の負荷容量が異なるので、負荷容量に対応した駆動電流を得るべく高 V_{th} MOS のチャネル幅の大きさが設定される。SRAM は、半導体集積回路装置に混載される SRAM の他に、汎用メモリとしての DRAM にも同様に適用することができる。この発明は、前記のようなメモリ回路を含む半導体集積回路装置に広く利用することができる。

【0046】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。書き込みと読み出しが可能にされたメモリセルをアドレス選択回路で選択し、書き込み回路により選択されたメモリセルに書き込み信号を伝え、読み出し回路により選択されたメモリセルからの読み出し信

号を伝え、クロック信号を受けるタイミング生成回路により、上記アドレス選択回路、書き込み回路及び読み出し回路に伝えられる動作タイミング信号を生成してなるメモリ回路のうち、動作タイミングに余裕のある回路について、他の回路のMOSFETに比べて高しき値電圧のMOSFETにより構成することにより、高速化と低消費電力化を実現することができる。

【0047】

書き込みと読み出しが可能にされたメモリセルをアドレス選択回路で選択し、書き込み回路により選択されたメモリセルに書き込み信号を伝え、読み出し回路により選択されたメモリセルからの読み出し信号を伝え、クロック信号を受けるタイミング生成回路により、上記アドレス選択回路、書き込み回路及び読み出し回路に伝えられる動作タイミング信号を生成してなるメモリ回路のうち、大きな負荷容量に対して動作タイミング信号を伝える駆動回路は、他の回路のMOSFETに比べて高しき値電圧のMOSFETにより構成し、チャネル幅を大きくして上記負荷容量に対応した駆動電流を流すようにすることにより、高速化と低消費電力化を実現することができる。

【図面の簡単な説明】

【図1】

この発明に係る半導体集積回路装置に搭載されるスタティック型RAMの一実施例を示す回路図である。

【図2】

この発明に係るSRAMの読み出し動作の一例を説明するためのタイミング図である。

【図3】

この発明に係るSRAMの書き込み動作の一例を説明するためのタイミング図である。

【図4】

図1のSRAMのデコーダ回路の一実施例を示す回路図である。

【図5】

この発明が適用されたマイコンLSIの一実施例を示すブロック図である。

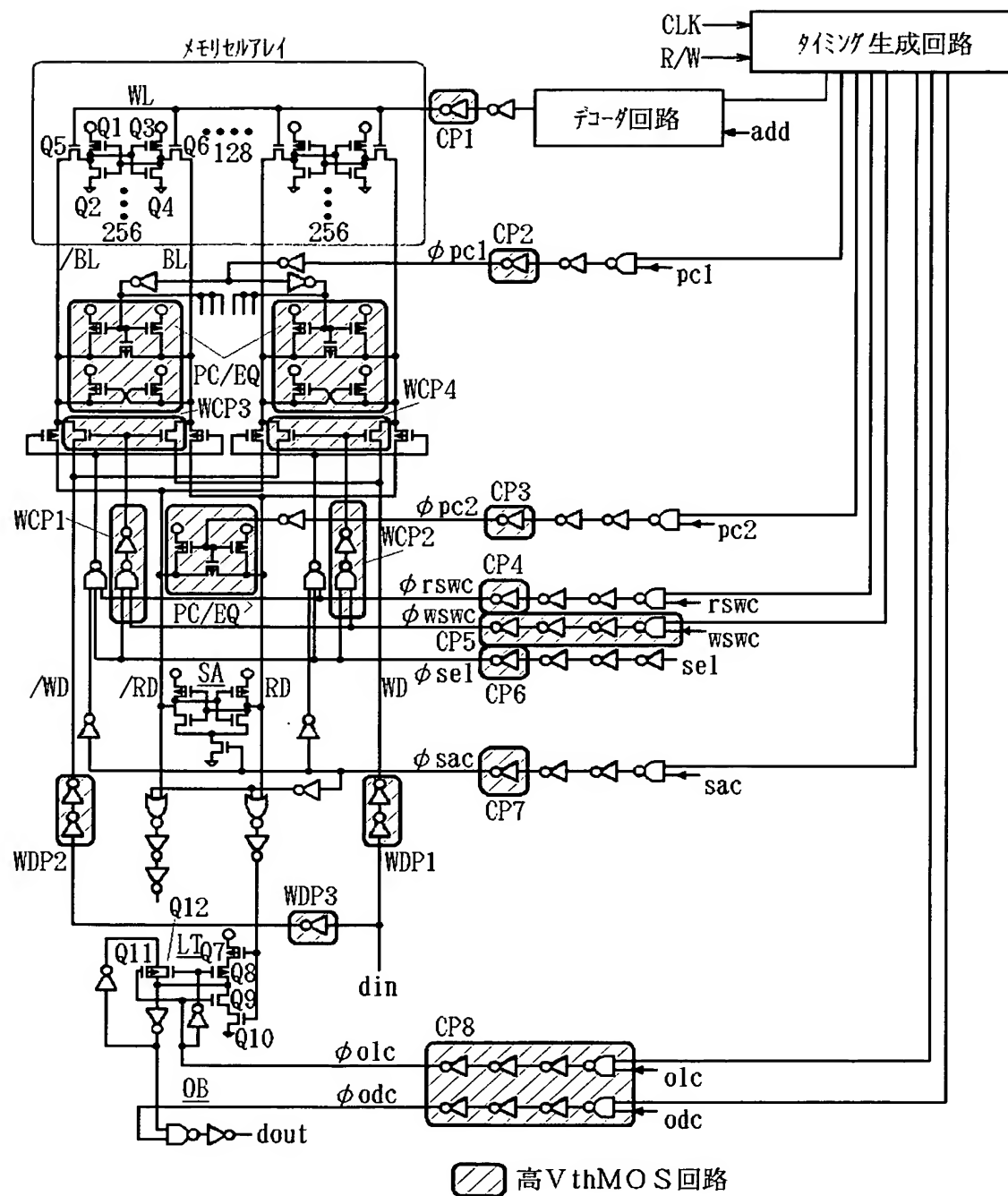
【符号の説明】

CP1～CP8…制御バス、WDP1～WDP3…ライトデータ入力バス（ライトアンプ）、WCP1～WCP3…ライト系制御バス、LT…ラッチ回路、OB…出力回路、SA…センスアンプ、PC/EQ…プリチャージ&イコライズ回路、Q1～Q6…MOSFET、BL, /BL…ビット線、RD, /RD…読み出しデータ線、WD, /WD…書き込みデータ線、

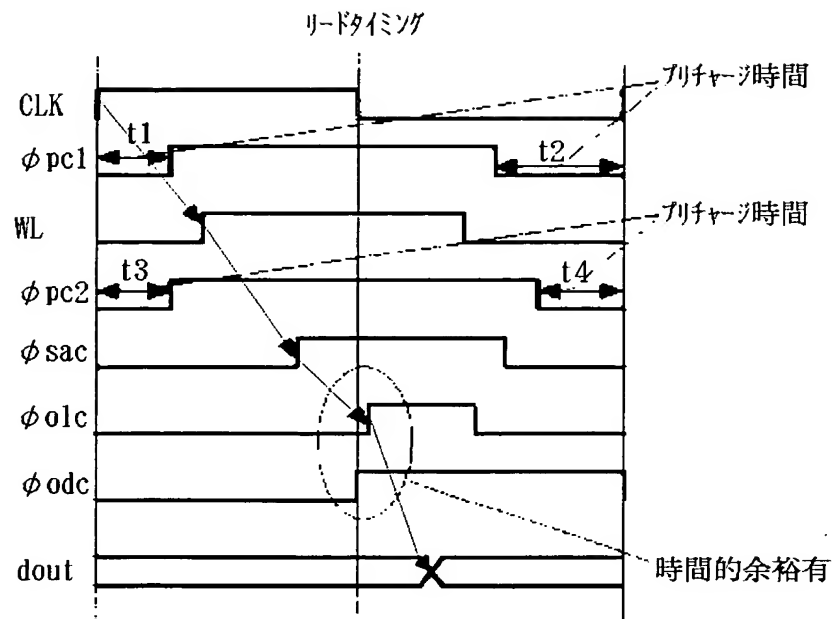
CPU…中央処理装置（マイクロプロセッサ）、DSP…データシグナルプロセッサDSP、XYMEM…メモリ、XYCNT…メモリコントローラ、CACHE…キャッシュメモリ、CCN…キャッシュメモリコントローラ、MMU…メモリマネージメントコントローラ、TLB…トランスレーションルックアサイドバッファ、INTC…割り込みコントローラ、CPG/WDT…クロック発振器/ウォッチドッグタイマ、VIO…ビデオI/Oモジュール、UBC…ユーザーブレークコントローラ、AUD…アドバンストユーザーデバッグ、TMU…タイマユニット、CMT…コンペアマッチタイマ、SIOF0…シリアルI/O（FIFO付き）、SCIF1…FIFO内蔵シリアルコミュニケーションインターフェイス、I²C…I²Cコントローラ、MFI…多機能インターフェイス、FLCTL…NAND/ANDフラッシュインターフェイス、H-UDI…ユーザーデバックインターフェイス、ASERAM…ASEメモリ、PFC…メモリピンファンクションコントローラ、RWDT…RCLK動作ウォッチドッグタイマ、BSC…バスステートコントローラ、DMAC…ダイレクトメモリアクセスコントローラ。

【書類名】 図面

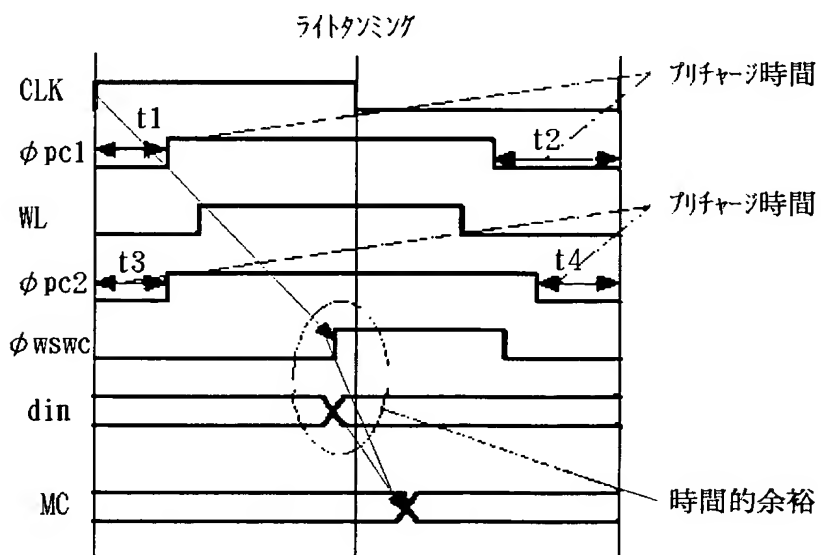
【図 1】



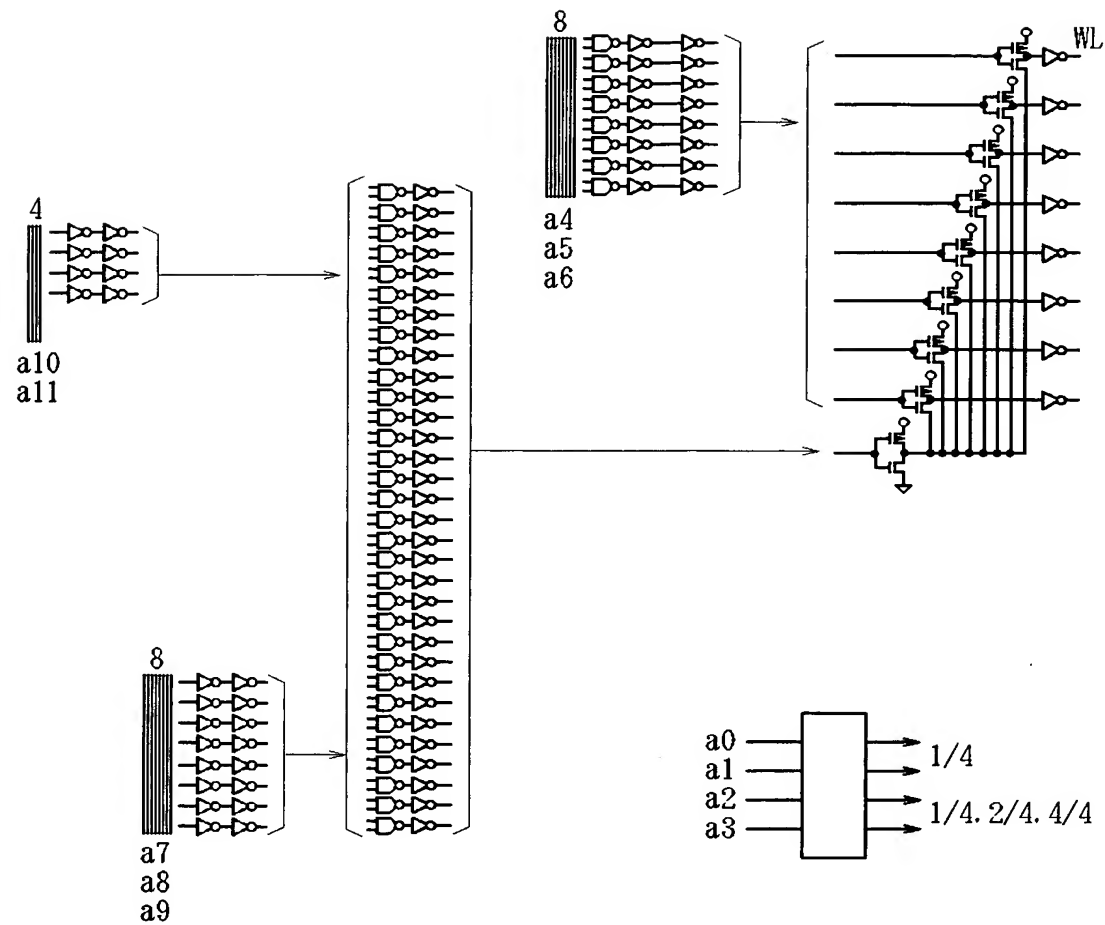
【図 2】



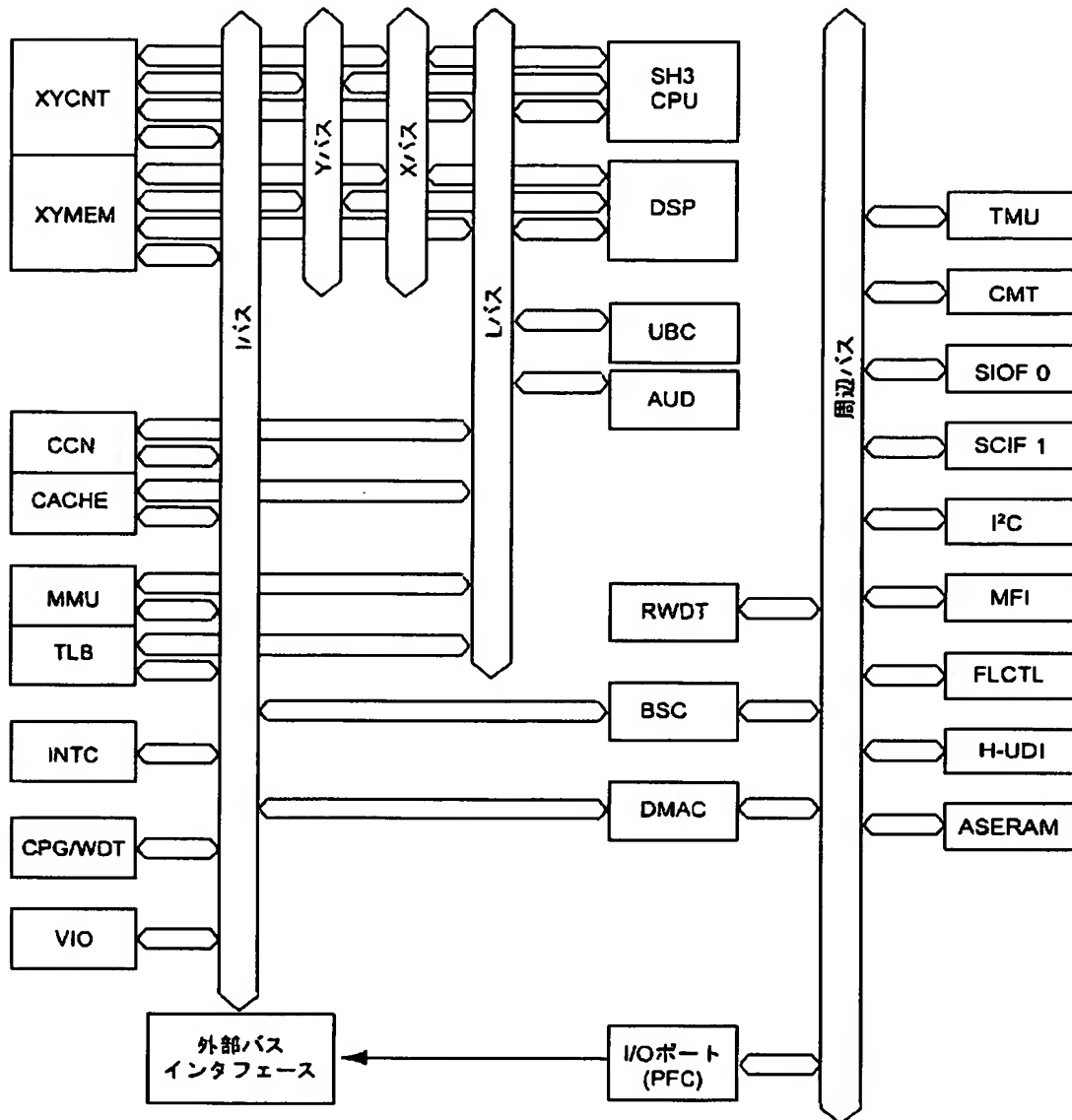
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 低消費電力と高速化を実現した S R A M を備えた半導体集積回路装置を提供する。

【解決手段】 書き込みと読み出しが可能にされたメモリセルをアドレス選択回路で選択し、書き込み回路により選択されたメモリセルに書き込み信号を伝え、読み出し回路により選択されたメモリセルからの読み出し信号を伝え、クロック信号を受けるタイミング生成回路により、上記アドレス選択回路、書き込み回路及び読み出し回路に伝えられる動作タイミング信号を生成してなるメモリ回路のうち、動作タイミングに余裕のある回路について、他の回路の M O S F E T に比べて高しきい値電圧の M O S F E T により構成する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-321486
【承継人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
【識別番号】 100081938
【弁理士】
【氏名又は名称】 徳若 光政
【提出物件の目録】
【包括委任状番号】 0308732
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願平 4 - 0 7 8 4 1 8 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 2 1 4 8 6
受付番号	5 0 3 0 1 2 2 3 8 7 4
書類名	出願人名義変更届（一般承継）
担当官	田丸 三喜男 9 0 7 9
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 24 日

特願 2 0 0 2 - 3 2 1 4 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 2 1 4 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 2 - 3 2 1 4 8 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日
[変更理由]

2 0 0 3 年 4 月 1 日
新規登録

住 所
氏 名

東京都千代田区丸の内二丁目 4 番 1 号
株式会社ルネサステクノロジ